**中山大学数据科学与计算机学院本科生实验报告**

**（2017学年秋季学期）**

**课程名称：数字电路与逻辑设计实验 任课教师：保延翔 助教：岳锐**

|  |  |  |  |
| --- | --- | --- | --- |
| **年级&班级** | 2016级（1）班 | **专业(方向)** | 软件工程 |
| **学号** | 16340041 | **姓名** | 陈亚楠 |
| **电话** | 15989010314 | **Email** | chenyn0201@gmail.com |
| **开始日期** | 2017.10.28 | **完成日期** | 2017.11.06 |

**实验六 利用MSI设计组合逻辑电路**

1. **实验目的**

1.熟悉编码器、译码器、数据选择器等组合逻辑功能模块的功能与使用方法。

2.掌握用MSI设计组合逻辑电路的方法。

1. **实验仪器及器件**

1.数字电路实验箱、示波器。

2.虚拟器件：74LS00，74LS197，74LS138，74LS151，74LS86，74LS08，74LS20。

**三、实验原理**

详见实验内容。

**四、实验内容**

**4.ALU设计**（Arithmetic & Logic Unit，算术逻辑单元）

用vivado在Basys3实验板上实现一个六输入二输出的ALU。

六个输入包括三个控制端和三个数据输入端。

**控制端：**S2、S1、S0决定ALU 的八种功能，其中指定6种功能为与、或、非、异或、全加、全减，剩余功能自由拟定。

**数据输入端：**当ALU进行全加（全减）运算时，三个数据输入端分别为被加数（被减数）、加数（减数）、进位（借位）。当ALU进行逻辑运算时（与、或、非、异或）时，三个数据输入端中的两个作为操作数的输入，另外一个可以忽略（在设计报告中需指明）。

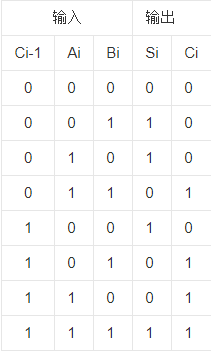
**输出端：**当ALU进行全加（全减）运算时，两个输出端分别为和（差）、进位（借位）。当ALU进行逻辑运算时（与、或、非、异或）时，两个输出端为逻辑运算的结果和结果的取反。



提示：ALU的输入端接6位计数器（000000-111111）的输出。

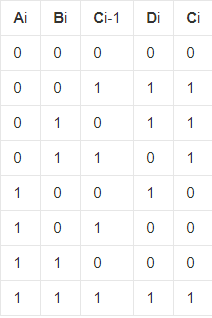
1. 实验原理：

全加器：

Si=Ai⊕Bi⊕Ci-1；

IMG_256

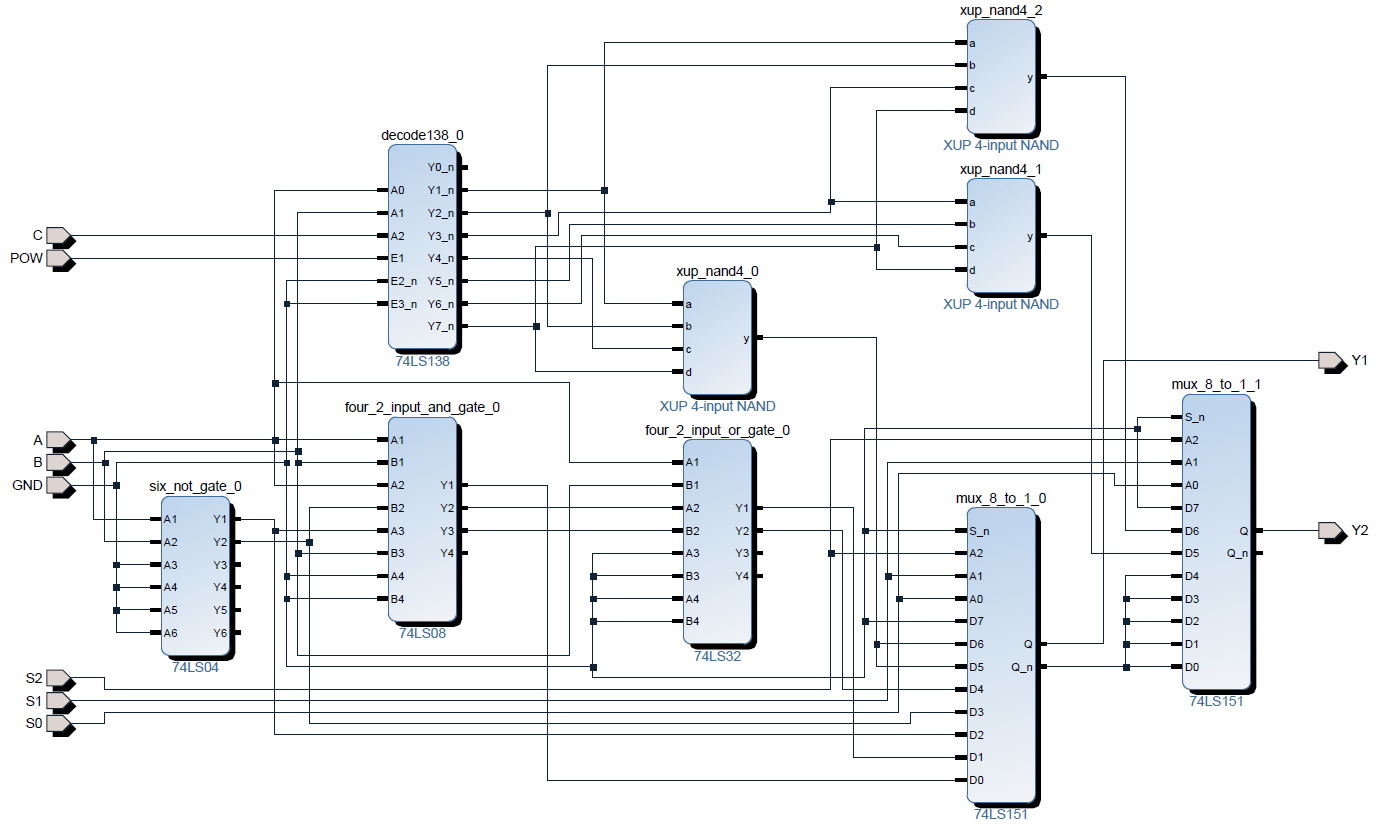
全减器：



IMG_256

IMG_256

1. Vivado bd设计：



1. **实验心得**

依据各种仪器，如74LS138和74LS151的特性，找到输入和输出之间的关系，再根据我们的实验目标，通过真值表、卡诺图，得到逻辑表达式的最简形式，再与仪器输入输出进行对比，设计电路。